

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-67893

(P2001-67893A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 J 5 F 0 6 4
H 0 1 L 21/82		H 0 1 L 21/82	F 5 L 1 0 6

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平11-241753

(22) 出願日 平成11年8月27日 (1999.8.27)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 渡辺 陽二

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 加藤 大輔

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

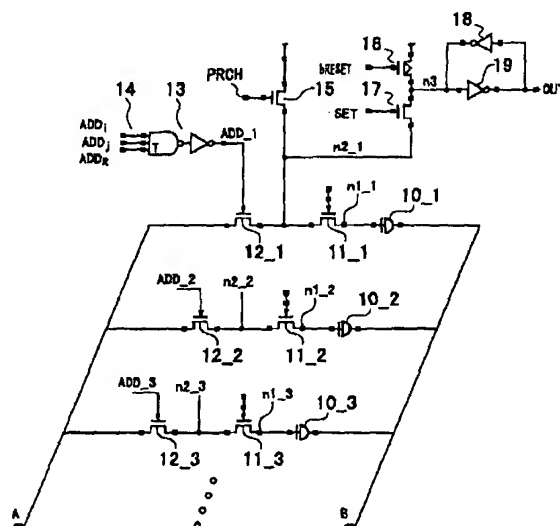
最終頁に続く

(54) 【発明の名称】 電気フューズ素子を備えた半導体集積回路装置

(57) 【要約】

【課題】 電気フューズのプログラム/非プログラム状態を安定して検出するための回路技術を提供することを目的とする。

【解決手段】 絶縁膜に高電圧を印加し破壊することで電気的にプログラム可能なアンチフューズ素子、即ち電気フューズ素子を搭載する半導体集積回路が示されている。ここでは、そのアンチフューズ素子の導通抵抗を検知する回路のラッチ動作に先立ち、前記アンチフューズ素子の電極間を充電する手段が設けられている。



1

【特許請求の範囲】

【請求項 1】 電気的にプログラム可能な電気フューズと、電気フューズに選択的に制御電圧を印加しその導通抵抗を変化させるプログラム回路と、所定の制御信号を受け前記電気フューズ素子の導通抵抗に応じて内部状態が遷移する第 1 のラッチ回路と、前記第 1 のラッチ回路の動作に先立ち前記電気フューズを充電するプリチャージ手段とを有することを特徴とする半導体集積回路装置。

【請求項 2】 前記プリチャージ手段は、前記第 1 のラッチ回路を構成するトランジスタの一部と共用されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 電気的にプログラム可能な電気フューズと、電気フューズに選択的に制御電圧を印可しその導通抵抗を変化させるプログラム回路と、所定の制御信号を受け前記電気フューズ素子の導通抵抗に応じて内部状態が遷移する第 1 のラッチ回路とを有し、前記電気フューズと前記ラッチ回路とがスイッチング素子を介して接続されていることを特徴とする半導体集積回路装置。

【請求項 4】 前記スイッチング素子は、同一チップ上に別に設けられたレーザーフューズのプログラム状態に応じてオン・オフ制御されることを特徴とする請求項 3 記載の半導体集積回路装置。

【請求項 5】 前記スイッチング素子は、前記電気フューズのプリチャージ動作の完了後、所定の時間オフ状態を保持した後再びオン状態に遷移するように制御されることを特徴とする請求項 1 及び請求項 3 記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置、特に電気フューズ素子の制御方法に関するものである。

【0002】

【従来の技術】半導体集積回路、例えば DRAM などのメモリ素子においては、ウェハー状態での製造工程が終了した後、チップ上の欠陥エレメントを冗長エレメントに置換えるためのリダンダンシー回路の欠陥アドレスプログラム用や、内部電源電圧変換回路の出力レベルや内部制御信号のタイミングのトリミング用として、多数のレーザーフューズが搭載されている。

【0003】又、そのレーザーフューズを電気的にプログラム可能な電気フューズに置換え、パッケージ封入後の最終テスト段階で発生した不良エレメントの置換えや内部タイミング等の微調整を可能にする回路の搭載も試みられている。例えば、USP 5, 324, 681 に開示されている電気フューズの搭載例を図 12 に示す。この回路では、絶縁膜を挟むキャパシター 41 を電気フューズとし、PMOS トランジスタ 42 及び NMOS

2

トランジスタ 43 を導通状態にすることで、その両端に高電圧を印加し絶縁破壊を起こしプログラムする。

【0004】そのプログラム、非プログラム状態の判定は、NMOS トランジスタ 45 を導通させ、ノード n1 の電位を引き上げた時のノード n2 の電位を PMOS トランジスタ 46 と NMOS トランジスタ 47 で構成したインバータでモニターすることで行う。即ち、フューズ素子 41 がプログラムされておらず非導通状態にあれば、ノード n1 の電位を持ち上げても、ノード n2 の電位は、ノーマリーオンの NMOS トランジスタ 44 により VSS に抑えられているため、それを受けるインバータの出力 n3 はハイレベルを保持する。

【0005】一方、フューズ素子 41 がプログラムされた導通状態にある場合は、n1 の電位をハイレベルにすることで、n2 は、そのフューズ素子の導通抵抗と、トランジスタ 44 の導通抵抗の分割比で決まる電位に上昇する。この時、トランジスタ 44 のゲート長を長くし導通抵抗を十分高く設定しておくことで、n2 の電位はインバータの回路閾値以上に上昇し、その出力ノード n3 はローレベルに遷移する。以上の動作により、電気フューズのプログラム及び、そのプログラム／非プログラム状態の判定を行うことが出来る。

【0006】

【発明が解決しようとする課題】しかしながら、この従来回路では、以下のような回路動作上の問題点があった。即ち、電気フューズ素子が非プログラム状態にある場合、ノード n1 の電位を持ち上げる際、その立ち上げスピードが急峻だと容量結合により、ノード n2 の電位が一時的に上昇し、インバータの回路閾値を超え、ノード n3 をローレベルに引き下げてしまう危険性がある。

【0007】この問題は、電気フューズ素子の容量が大きいほど深刻になる。これを防止する為に、NMOS トランジスタ 44 の導通抵抗を引き下げると、逆に、電気フューズがプログラムされ導通状態である事の検出が困難になるという問題が生ずる。

【0008】従って、本発明は、上記従来の問題点を克服し、電気フューズのプログラム／非プログラム状態を安定して検出するための回路技術を提供することを目的としたものである。

【0009】

【課題を解決するための手段】以上のような状況において、本発明は、絶縁膜に高電圧を印加し破壊することで電気的にプログラム可能なアンチフューズ素子、即ち電気フューズ素子を搭載する半導体集積回路において、そのアンチフューズ素子の導通抵抗を検知する回路のラッチ動作に先立ち、前記アンチフューズ素子の電極間を充電する手段を設けることで、検知動作の誤動作を防止することを提案する。

【0010】即ち、上記目的を達成するため本発明による半導体集積回路装置は、電気的にプログラム可能な電

3

気フューズと、電気フューズに選択的に制御電圧を印加しその導通抵抗を変化させるプログラム回路と、所定の制御信号を受け前記電気フューズ素子の導通抵抗に応じて内部状態が遷移する第1のラッチ回路と、前記第1のラッチ回路の動作に先立ち前記電気フューズを充電するプリチャージ手段とを有することを特徴とする。

【0011】又、好適な実施例では、前記プリチャージ手段は、前記第1のラッチ回路を構成するトランジスタの一部と共用されている。

【0012】更に、好適な実施例では、前記第1のラッチ回路と前記電気フューズ素子とはスイッチング素子を介して接続されていることを特徴とする。

【0013】更に、好適な実施例では、前記第1のラッチ回路の出力がゲートに入力するトランジスタのドレイン・ソース間の導通抵抗に応じて状態が反転する第2のラッチ回路を具備し、その出力を前記電気フューズ素子の導通・非導通の判定に用いる。

【0014】更に、好適な実施例では、前記第2のラッチ回路は、同じチップ上に搭載されているレーザーフューズを用いたラッチ回路と同一の回路構成である。

【0015】更に、好適な実施例では、前記電気フューズは、絶縁膜を挟み対向する二つの電極で構成され、前記プログラム回路は、その二つの電極間に選択的に高電圧を印加し絶縁破壊を起こさせることによってその導通抵抗を変化させる。

【0016】

【発明の実施の形態】 (1) 第1の実施形態

図1に本発明の第1の実施形態を示す。参照番号10__1、10__2、10__3、... は絶縁膜を挟み二つの電極で形成された電気フューズ素子であり、その両端に高電圧を印可することで絶縁破壊を起こし導通させることができる構造になっている。たとえば、Si基板上に形成されたMOSキャパシターや、DRAMのメモリーセルを構成するストレージキャパシター素子（スタックキャパシターやトレンチキャパシタ）等をこの電気フューズ素子として使用することができる。

【0017】この電気フューズ素子はウエハー製造工程終了後、或いは、パッケージ封入後も非導通状態にある。この電気フューズ素子を必要に応じ複数個並べ、一方の端子を共通接続（B）し、他方の端子をバリアトランジスタ11、選択トランジスタ12をそれぞれ介し共通接続（A）する。ここで、例えば、フューズ素子10__1の絶縁膜を破壊する場合は、選択トランジスタ12__1のゲートを制御するデコード回路13の入力信号14を全てハイレベルにセットし12__1を導通状態とし、共通端子Aを低レベルに保持した状態で、共通端子Bに高電圧を印加する。この際、ADD__2、ADD__3など他の選択トランジスタのゲートをローレベルに保持しておくことで、特定のフューズ素子の絶縁膜だけを選択的に破壊することができる。

4

【0018】尚、この実施例では、非プログラムフューズへの誤書き込みを防止するために、例えばゲート長が他のトランジスタより長く耐圧の高いバリアトランジスタ11をフューズ素子に直列に挿入しているが、ノードn2に接続する他の素子の耐圧が十分高い場合は、このバリアトランジスタを省略し、ノードn1とノードn2とを直接接続してもよい。また、プログラム終了後に、端子Bを接地電位に固定し、端子Aを適当なスイッチングトランジスタを介してパッケージのピンに接続し、そのピンから導通試験を行うことで、上記電気フューズの導通抵抗が所望の値になっているかどうか確認することができる。

【0019】次に前記フューズ素子の導通／非導通の検知回路の構成を説明する。この第1の実施形態における検知回路は、図1に示すように、2つのインバータ18、19の入出力を相互接続したラッチ回路、それをリセットするPMOSTランジスタ16、セットするNMOSTランジスタ17、及び、そのラッチ動作に先立ちフューズ素子の容量を充電するためのNMOSTランジスタ15から構成される。

【0020】この回路の動作を説明するタイミング図を図2に示す。図示されていないが、この検知回路動作時は、フューズ素子の共通ノードBは接地レベルに、また選択トランジスタ12のゲートは全てオフ状態に保持されている。まず電源（VDD）投入時に、所定の時間信号PRCHをハイレベルに保持することで、フューズ素子の容量を充電する。この際、もしフューズ素子10が非導通状態であれば、ノードn2の電位は信号PRCHのレベルからNMOST15の閾値を引いた電位まで上昇する。

【0021】一方、フューズ素子10がプログラム済みで導通状態にあれば、その抵抗値に従って、n2の到達レベルは非導通の場合に比べ低い値になる。このフューズ素子の充電動作と前記ラッチ回路のリセット動作は（bRESET=Low）並行して行うことができる。

【0022】次に、PRCHをローレベルに、bRESETをハイレベルに戻し、その後、更に所定の時間経過後に、ラッチのセット信号SETを立ち上げる。この動作により、もしフューズ素子10がプログラム済みで導通状態にあれば、ラッチ回路内のノードn3の電位が引き下げられ、ラッチが反転する。一方、フューズ素子10が非導通状態にあれば、ノードn2の電位はハイレベルにチャージアップされたままなのでラッチは反転することなくリセット状態が保持される。

【0023】この回路動作により、フューズ素子がプログラムされているか否かを検知し、その情報を他の回路、例えばリダクション回路などで活用する。尚、ノードn2の充電用トランジスタ15の電流駆動能力は低く設定し、電源投入時の貫通電流を小さく抑えることが望ましい。

5

【0024】また、フューズ素子10のプログラム後の導通抵抗がある程度高くても、それを“導通”と検知しやすくするために、インバータ18のPMOSトランジスタの電流駆動能力も低く設定することが望ましい。更に、フューズ素子10の容量値をノードn3の容量値に比べ十分大きく設定しておくことにより、たとえ、プログラム後の導通抵抗が高くても、そのプリチャージの解除からラッチのセットまでの時間を長く設定しノードn2、n1を十分放電してからSETを立ち上げることで、よりチャージ分配が起こりn3の電位が引き下げられラッチを反転させることができるため、回路動作マージンが向上する。

【0025】(2) 第2の実施形態

本発明の第2の実施形態を図3に示す。本実施形態において、フューズ素子及びそのプログラム回路は、第1の実施形態と同様であるが、前記バリアトランジスタ11を省略した場合が例示してある。本実施形態では、前記充電のためのトランジスタを前記ラッチを構成する回路の一部に組み込んだところに特徴がある。

【0026】即ち、ノードn2にバストラジスタ21を介してインバータ22とNORゲート23で構成したラッチ回路が接続されている。本実施形態では図4に示すように、第1の実施形態と同様、電源投入時に信号PRCHをハイレベルに保持し、ノードn2を強制的に充電する。その後、PRCHをローレベルに立ち下げることによりラッチ動作に入る。

【0027】このとき、フューズ素子が非導通状態にあればOUTはハイレベルを保持し、導通状態にあればOUTはローレベルに引き下げられるため、第1の実施形態と同様、フューズ素子のプログラム状態を検知することができる。本実施形態では、フューズ素子のプログラム後の導通抵抗が高い場合のラッチの反転動作を容易に行うため、インバータ22のPMOSトランジスタの電流駆動能力を充分低く設定しておくことが望ましい。

【0028】(3) 第3の実施形態

本発明の第3の実施形態を図5に示す。この実施形態では、第2の実施形態におけるラッチ回路を構成するインバータをNANDゲート32に置換え、それに新たな制御信号bCLOSEが入力されている。更に、バストラジスタ21のゲートもbCLOSE信号で制御される。

【0029】このbCLOSE信号を図6のタイミングチャートに示すようにハイレベルに保持すれば、第2の実施形態と同様の回路動作を実現できる。一方、図7のタイミングチャートに示すように、プリチャージ信号PRCHを立ち下げた後所定の時間bCLOSEをローレベルに下げ、再びハイレベルに戻すことにより、第1の実施形態で説明した、容量分割の効果によるラッチの反転動作を助ける効果が得られる。

【0030】また、何らかの製造上の問題などによりブ

6

ログラムしていないにもかかわらず絶縁抵抗が低いフューズ素子が混入してしまう場合がありえるが、その場合、このbCLOSE信号を強制的にローレベルに固定することで回路の誤動作を防止することができる。具体的には、例えば、図8に示すようなレーザーフューズによるオプション回路を搭載しておき、電気フューズに初めから絶縁抵抗が低い素子が混入していることが判明した場合は、FUSE51をレーザーカットし、図9のタイミング図に従って動作させることで、bCLOSE信号をローレベルに落とせばよい。

【0031】また、フューズ10のプログラム時にもこのbCLOSE信号をローレベルにしておくことにより、ノードn4が中間レベルにバイアスされることによる不要なリーク電流の発生を防止することができる。

【0032】本実施形態では、このノードn4を直接、もしくは、適当なバッファを介した後、そのまま出力信号として用いてもよいが、更に図5に示すnMOSTランジスタ33を介して、第2のラッチ回路に入力し、その第2のラッチ回路の出力をフューズ素子10の導通／非導通の判定結果として用いてもよい。その場合のタイミング図も図6、7に合わせて記載されている。

【0033】次に、この電気フューズ素子を備えた半導体集積回路装置の具体的な応用例を示す。図10は、図5に記載されている本発明による半導体集積回路をDRAMのリダンダンシ回路に組み込む例を説明する為の図である。図11は、DRAMのリダンダンシ回路部分を示す平面図である。

【0034】即ち、DRAMの製造工程中にメモリセルの配列中に欠陥のロウ又はカラムが存在した場合に、スベアのロウラインやカラムラインを各々何本か用意しておき、欠陥部分に相当するアドレス信号が入力されたときに、スベアのロウラインやカラムラインを選択するように回路を構成することで欠陥を含みながらも良品として扱うことができる。このリダンダンシーによってチップ面積は若干増大するが歩留まりが大幅に向上する。

【0035】一般には、レーザーフューズ63を適宜レーザーによって溶断し、不良エレメントのアドレスの各ビットをプログラムする。このアドレスをラッチ回路61でラッチし、入力アドレスとアドレス比較器65で比較し、両者が一致した場合にリダンダンシエレメントがアクセスされる。

【0036】本発明では、このレーザーフューズ63が電気フューズとなっている。即ち、図10の回路のアドレス比較器65を除く部分を、図5の回路で置き換えればよい。実際には、レーザーフューズの一部分を電気フューズで置き換えると非常に効果的である。例えば、図11の平面図に示したように、制御回路部71の両側に多数のレーザーフューズ63が配置されている。これを適宜レーザーによって溶断してプログラムするわけである。又、その一部が電気フューズで置き換えられてい

7

る。

【0037】実際には、そこにはNMOSトランジスタ33がレーザーフューズ63に代って配置されているだけなので、制御回路部71の部分のレイアウトの変更は不要である。図11には、レーザーフューズ63と電気フューズ素子の導通状態に応じてオン/オフするNMOSトランジスタ33の配置が拡大されて記載されている。

【0038】又、そこで用いられるラッチ信号bRESET、SETや、ラッチの回路レイアウトは、全く同一のものを使うことができる。尚、トランジスタ33のゲート信号を作成する部分、即ち、図5の左半分の回路は、参照番号75で示された領域に配置されている。

【0039】

【発明の効果】電気フューズ素子の導通/非導通の誤判定を防止し安定した回路動作を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例。

【図2】本発明の第1の実施例の動作タイミング図。

【図3】本発明の第2の実施例。

【図4】本発明の第2の実施例の動作タイミング図。

【図5】本発明の第3の実施例。

【図6】本発明の第3の実施例の動作タイミング図。

【図7】本発明の第3の実施例の動作タイミング図。

【図8】本発明の第3の実施例にかかわる誤動作防止回路の回路図。

*

8

*【図9】本発明の第3の実施例にかかわる誤動作防止回路の動作タイミング図。

【図10】レーザーフューズを用いたプログラム回路。

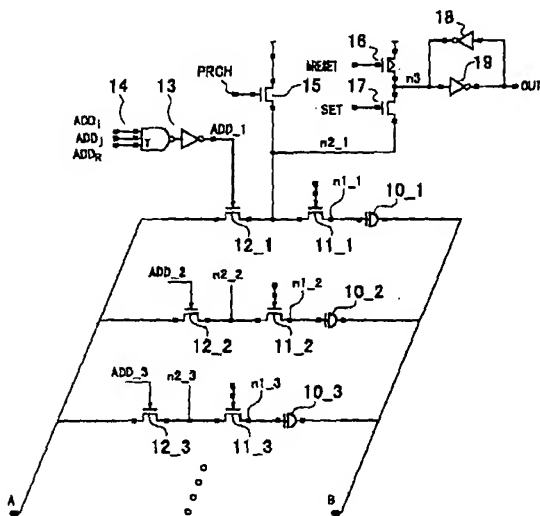
【図11】本発明による電気フューズ素子を備えた半導体集積回路装置の具体例として、DRAMのリダンダンシ回路部分を示す平面図。

【図12】従来の電気フューズのプログラム及び検知回路。

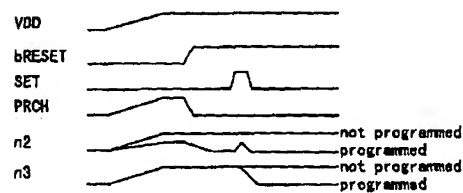
【符号の説明】

- 10 電気フューズ素子
- 12 選択トランジスタ
- 13 デコード回路
- 14 入力信号
- 15 充電トランジスタ
- 16、17、33 トランジスタ
- 18、19 インバータ
- 21 バストランジスタ
- 22 インバータ
- 23、32 ゲート
- 41 フューズ素子
- 42、46 PMOSトランジスタ
- 43、44、45、47 NMOSトランジスタ
- 61 ラッチ回路
- 63 レーザーフューズ
- 65 アドレス比較器
- 71 制御回路部

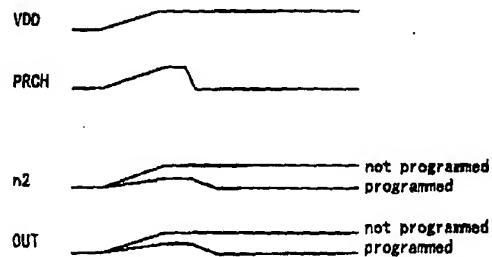
【図1】



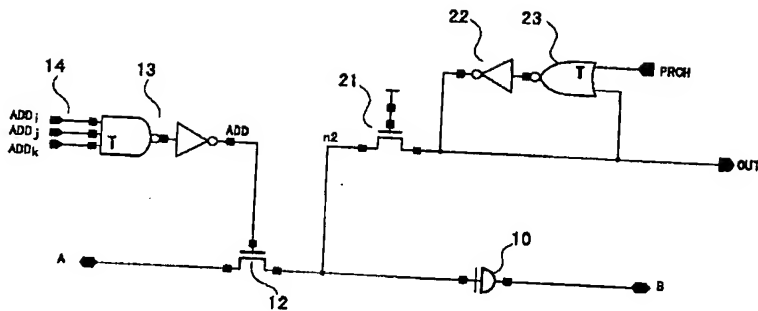
【図2】



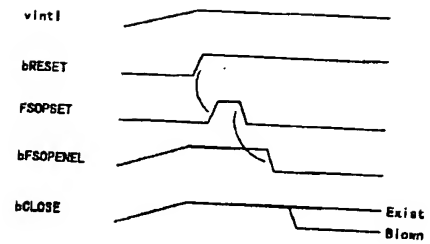
【図4】



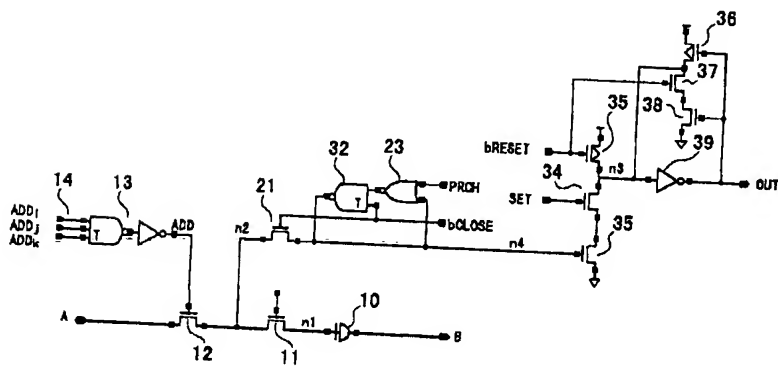
【図3】



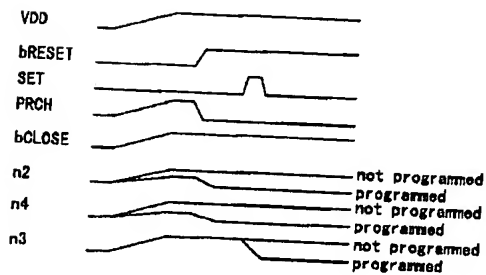
【図9】



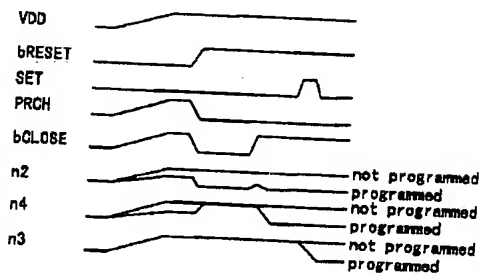
【図5】



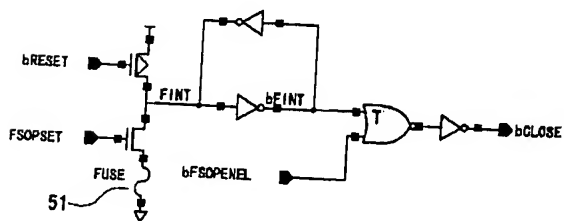
【図6】



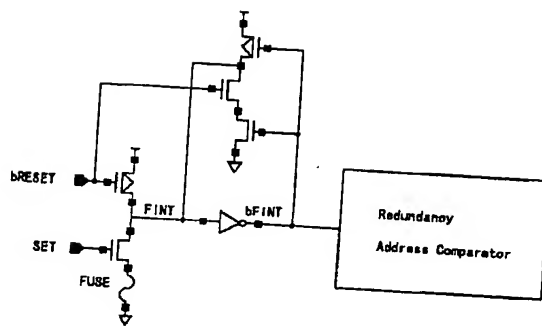
【図7】



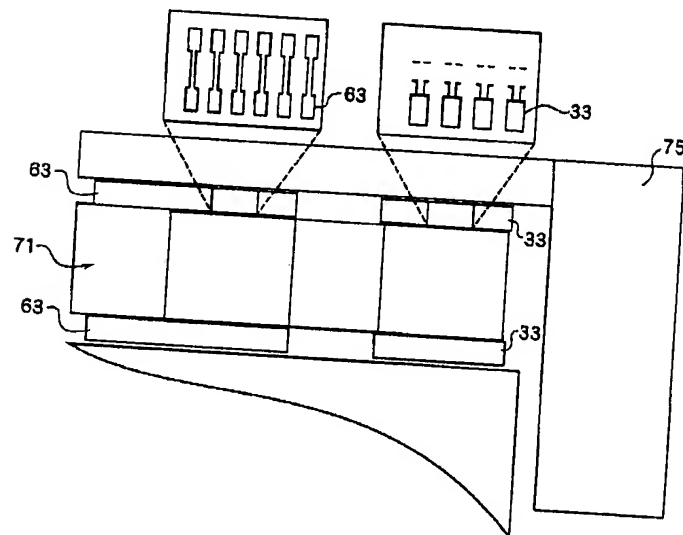
【図8】



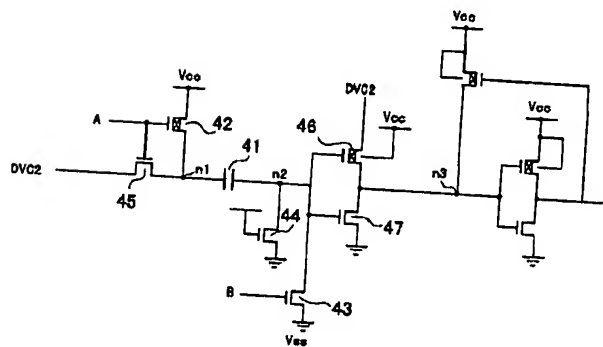
【図10】



【図11】



【図12】



フロントページの続き

Fターム(参考) 5F064 FF02 FF05 FF16 FF28 FF46
FF52
5L106 CC01 EE07 FF01 GG00